

ERROR CORRECTION CIRCUIT**Publication number:** JP2003264531**Publication date:** 2003-09-19**Inventor:** YUASA MASATOSHI; KITA SACHIKAZU; SUZUKI SEIJI; TAMAI SEIJI**Applicant:** SANYO ELECTRIC CO**Classification:****- international:** *H03M13/15; H04L1/00; H03M13/00; H04L1/00; (IPC1-7): H04L1/00; H03M13/15***- european:****Application number:** JP20020062442 20020307**Priority number(s):** JP20020062442 20020307**Report a data error here****Abstract of JP2003264531****PROBLEM TO BE SOLVED:** To provide an error correction circuit for reducing power consumption.**SOLUTION:** This error correction circuit for decoding a cyclic code and repeating error correction processing predetermined n times (n is a natural number of 2 or more) is provided with an operation stopping means for stopping (m+1)-th to n-th error correction processing operations when all errors are corrected by m-th (m is a natural number) error correction processing, which is less than the n times. As the operation stopping means, a means is used which stops the (m+1)-th to n-th error correction processing operations, for example, by stopping the supply of a clock to each circuit for performing error correction processing.**COPYRIGHT:** (C)2003,JPO

Data supplied from the *esp@cenet* database - Worldwide

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-264531

(P2003-264531A)

(43) 公開日 平成15年9月19日 (2003.9.19)

(51) Int.Cl.

識別記号

F I

テマコード* (参考)

H 0 4 L 1/00

H 0 4 L 1/00

B 5 J 0 6 5

H 0 3 M 13/15

H 0 3 M 13/15

5 K 0 1 4

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願2002-62442 (P2002-62442)

(22) 出願日 平成14年3月7日 (2002.3.7)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 湯浅 正俊

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 喜多 祥和

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100086391

弁理士 香山 秀幸

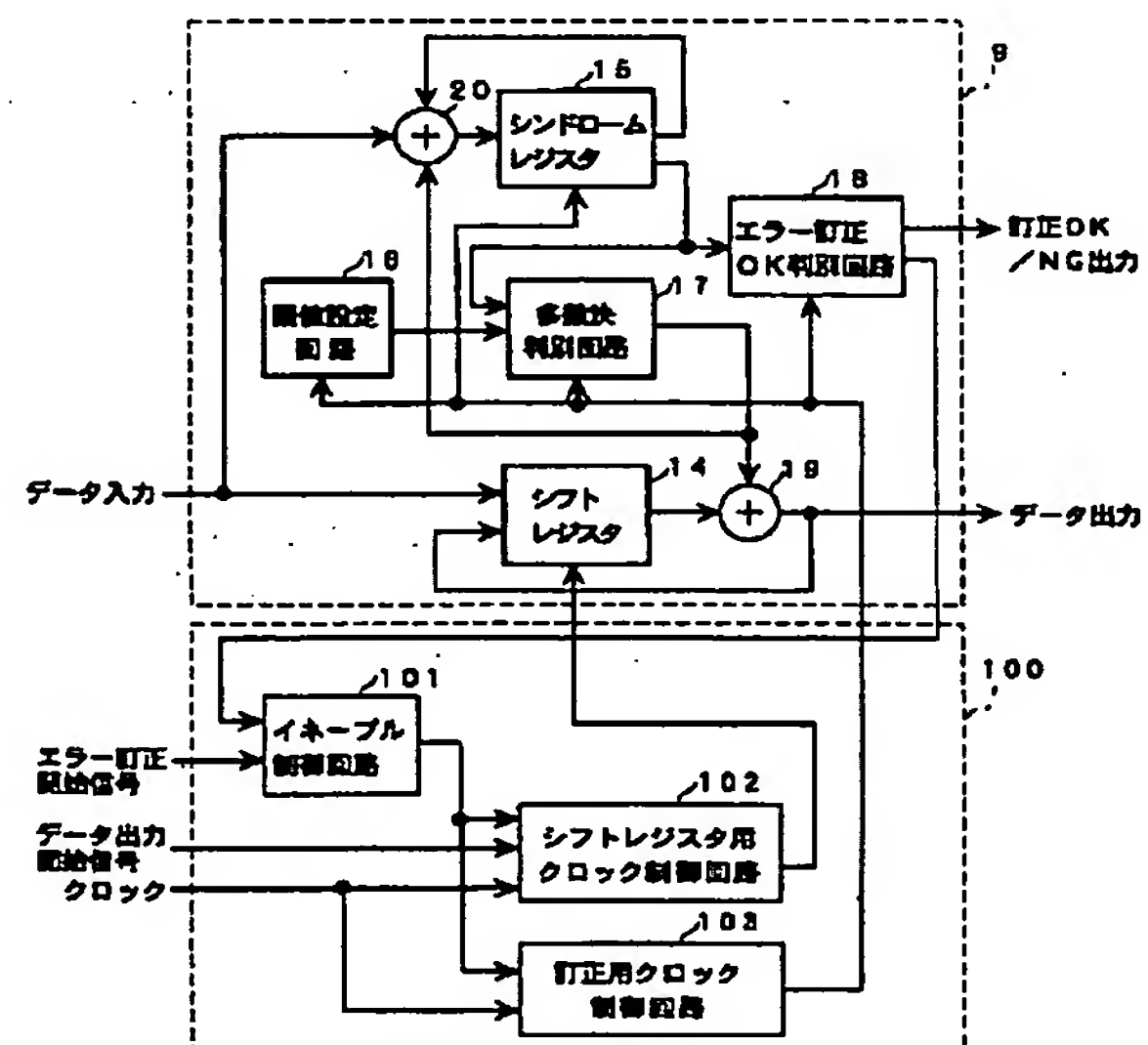
最終頁に続く

(54) 【発明の名称】 誤り訂正回路

(57) 【要約】

【課題】 この発明は、消費電力の低減化が図れる誤り訂正回路を提供することを目的とする。

【解決手段】 巡回符号を復号する誤り訂正回路であって、誤り訂正処理を、予め定められた n 回分 (n は2以上の自然数)、繰り返し行う誤り訂正回路において、 n 回より少ない m 回目 (m は自然数) の誤り訂正処理によって全ての誤りが訂正された場合には、 $m+1$ 回目～ n 回目の誤り訂正処理動作を停止させる動作停止手段を備えている。動作停止手段としては、たとえば、誤り訂正処理を行うための各回路へのクロックの供給を停止することにより、 $m+1$ 回目～ n 回目の誤り訂正処理動作を停止させるものが用いられる。



【特許請求の範囲】

【請求項1】 巡回符号を復号する誤り訂正回路であって、誤り訂正処理を、予め定められた n 回分（ n は2以上の自然数）、繰り返し行う誤り訂正回路において、 n 回より少ない m 回目（ m は自然数）の誤り訂正処理によって全ての誤りが訂正された場合には、 $m+1$ 回目～ n 回目の誤り訂正処理動作を停止させる動作停止手段を備えていることを特徴とする誤り訂正回路。

【請求項2】 動作停止手段は、誤り訂正処理を行うための各回路へのクロックの供給を停止することにより、 $m+1$ 回目～ n 回目の誤り訂正処理動作を停止させることを特徴とする請求項1に記載の誤り訂正回路。

【請求項3】 巡回符号が、地上デジタルテレビジョン放送の伝送方式ARIB STD-B31または地上デジタル音声放送の伝送方式ARIB STD-B29で規程される差集合巡回符号であることを特徴とする請求項1および2のいずれかに記載の誤り訂正回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、地上デジタル放送などで用いられている巡回符号を用いた1ビット単位で誤り訂正を行う誤り訂正回路に関し、特に携帯型受信機の省電力化に適した誤り訂正回路に関する。

【0002】

【従来の技術】地上デジタル放送伝送方式では伝送多重制御信号（TMCC）の誤り訂正符号として差集合巡回符号（SDSC）が用いられている。差集合巡回符号は、多数決論理によって復号可能な誤り訂正符号であり、次のような特徴を持っている。

【0003】① 比較的簡単に復号回路を構成することが可能（回路規模が小さい）である。

② ランダム誤り訂正符号である。

③ 回路の工夫により、誤り訂正能力を増大できる。

④ 軟判定復号が比較的簡単に実現できる。

【0004】差集合巡回符号を用いた誤り訂正回路では、通常、誤り訂正能力を増大させるため、閾値を順次変化させて誤り訂正を複数回行うことにより、誤り訂正能力の向上を行っている。このように、誤り訂正処理を複数回行うためには、相応の処理時間が必要となる。

【0005】地上デジタル放送用受信機では、チャンネル選択や電源投入時に素早い動作が求められる。TMCCには変調方式など伝送信号を復調するのに必要な情報が含まれているため、TMCCデータを迅速に取得する必要がある。TMCCデータは1フレーム単位で送信されるが、1フレームは地上デジタル放送伝送方式の伝送モードによっては250msec以上の期間が必要になるため、あるフレームにおいてTMCCを取得することができなかった場合には、次のTMCCを得るまで時間がかかることとなる。しかしながら、あるフレーム内の全てのTMCCデータが誤り訂正回路に入力されてから、

次のフレームの先頭が到来するまでの時間間隔は非常に短いため、TMCCの誤り訂正を迅速に行う必要がある。

【0006】特開 2001-94439 号公報に開示された誤り訂正回路では、2つの誤り訂正ブロックを並列に動作させることにより、TMCCの誤り訂正を迅速に行うようにしている。

【0007】

【発明が解決しようとする課題】地上デジタル放送では、携帯型受信機での受信を考慮した部分受信が伝送規格として制定されている。部分受信では、地上デジタル放送の1シンボル中に含まれる13セグメントのうちの1セグメントのみを受信する。部分受信を行う携帯型受信機では通常電源は電池であるため、省電力化が望まれる。しかし、一方で、チャンネル選択や電源投入時には、一般の地上デジタル放送用受信機と同等の素早い動作も求められる。上記特開 2001-94439 に開示された誤り訂正回路は、誤り訂正を迅速に行う機能を備えているが、2つの誤り訂正ブロックを同時に動作させるため、消費電力が問題になる。

【0008】この発明は、消費電力の低減化が図れる誤り訂正回路を提供することを目的とする。

【0009】

【課題を解決するための手段】請求項1に記載の発明は、巡回符号を復号する誤り訂正回路であって、誤り訂正処理を、予め定められた n 回分（ n は2以上の自然数）、繰り返し行う誤り訂正回路において、 n 回より少ない m 回目（ m は自然数）の誤り訂正処理によって全ての誤りが訂正された場合には、 $m+1$ 回目～ n 回目の誤り訂正処理動作を停止させる動作停止手段を備えていることを特徴とする。

【0010】請求項2に記載の発明は、請求項1に記載の誤り訂正回路において、動作停止手段は、誤り訂正処理を行うための各回路へのクロックの供給を停止することにより、 $m+1$ 回目～ n 回目の誤り訂正処理動作を停止させることを特徴とする。

【0011】請求項3に記載の発明は、請求項1または2に記載の誤り訂正回路において、巡回符号が、地上デジタルテレビジョン放送の伝送方式ARIB STD-B31または地上デジタル音声放送の伝送方式ARIB STD-B29で規程される差集合巡回符号であることを特徴とする。

【0012】

【発明の実施の形態】まず、従来の誤り訂正回路についてより具体的に説明した後、本発明の実施の形態について説明する。

【0013】〔1〕従来の誤り訂正回路の具体的な説明

【0014】（社）電波産業会地上デジタルテレビジョン放送の伝送方式ARIB STD-B31では、変調方式として直交周波数分割多重（OFDM）方式を、情報

源符号化方式及び多重化方式としてMPEG2を採用している。また、現在伝送されているキャリア変調方式、畳込み符号化率、時間インターリーブ長等のパラメータを指定するための信号として、伝送多重制御信号(TMCC)を用いている。誤り訂正方式としては、TMCC以外の信号(以下、情報信号という)に対しては畳込み符号とリードソロモン(RS)符号が用いられ、TMCCに対しては比較的回路規模が小さい差集合巡回符号が用いられている。

【0015】TMCCには、伝送路のパラメータであるキャリア変調方式、畳込み符号化率、時間インターリーブ長等が含まれているため、あるフレーム内に含まれているTMCCの復号は、次のフレームの開始前に完了しておく必要がある。地上デジタルテレビジョン放送の伝送方式では、204シンボルが1フレームとして伝送され、1シンボル毎に1ビットのTMCCデータが複数個挿入されている。1シンボル中に含まれている複数個のTMCCデータは、全て同じ値である。1シンボル内に同じ値のTMCCデータが複数個挿入されている理由は、多数決判別して誤り訂正能力を高めるためである。

【0016】TMCCデータは、1フレーム204ビットのデータで構成されているが、先頭から40ビットは同期信号などであり、誤り訂正範囲に含まれていない。残り184ビットが冗長部分を含んだ制御信号の部分である。

【0017】図1は、地上デジタルテレビジョン放送で受信された信号に対するFFT(高速フーリエ変換)後のデータを示している。

【0018】図1(a)に示すように、FFT後のデータは、1シンボル単位で出力され、204シンボルで1フレームが構成されている。隣接するシンボル間には、ガードインターバルが存在している。ガードインターバルはマルチパスなど電波の反射等の影響を回避するために設けられた部分であり、FFT後のデータとしては無効データとなっている。

【0019】1シンボルは、図1(b)に示すように、映像音声などの情報信号と、複数個のTMCC信号とから構成されている。1シンボル内の複数のTMCCデータは全て同じ値(0または1)であり、規格で定められた位置に配置されている。図1(b)からわかるように、1フレーム内の全てのTMCCデータが誤り訂正回路に入力されてから、次のフレームの先頭までの期間は短い。なお、1シンボル内には13セグメントが含まれており、部分受信において13セグメントのうちの特定の1セグメントのみを受信する。

【0020】TMCCの誤り訂正に用いられている差集合巡回符号の復号方式として、誤り訂正能力を向上させるため、誤りを判別する閾値を変化させて複数回誤り訂正を行う方法が通常用いられている。しかしながら、この方式を用いた場合、1回の誤り訂正を行う場合に比べ

て、より多くの処理時間がかかってしまう。このため、通常のFFTサンプルクロックを用いて誤り訂正処理を行った場合には、次のフレームまでに処理を行うことは不可能である。そこで、FFTサンプルクロックより周波数の高いクロックを用いて誤り訂正を行うなどの方法が用いられている。

【0021】図2は、地上デジタル放送のTMCC信号に対する従来の誤り訂正回路の構成を示している(特開20001-94439号公報参照)。この誤り訂正回路は、誤り訂正処理の完了時点を早めるために、冗長部分を含んだ制御信号(誤り訂正に係る制御信号)184ビットのうち、最終ビットのデータが決定された時点直後ではなく、最終ビットの1ビット前のデータが決定された時点直後から、誤り訂正処理を行えるようにしたことを特徴としている。

【0022】1シンボルの中のTMCCデータは、まず多数決判別回路7に入力される。多数決判別回路7では、1シンボル中のTMCCデータの多数決判別を行い、“1”の数が多ければ“1”を、“0”の数が多ければ“0”を出力する。この多数決判別により、1シンボル中に1つのみのデータを挿入する場合に比べてデータの精度が向上する。

【0023】多数決判別回路7の出力は、訂正前データ入力処理回路8に入力される。訂正前データ入力処理回路8では、TMCCデータ204ビットのうちの誤り訂正に係る184ビットのTMCCデータを、第1および第2の誤り訂正ブロック9、10に入力する。この際、訂正前データ入力処理回路8では、誤り訂正に係るデータ184ビットのうちの183ビット目を出力した直後に、184ビット目のデータとして第1の誤り訂正ブロック9には“1”を、第2の誤り訂正ブロック10には“0”を出力する。

【0024】各誤り訂正ブロック9、10は、訂正前データ入力処理回路8から誤り訂正に係る184ビットのデータが入力されると、それぞれ誤り訂正処理を開始する。つまり、各誤り訂正ブロック9、10は、誤り訂正に係る184ビットのデータのうち、最終ビットの1ビット前のデータが多数決判別回路7によって決定された時点直後から、誤り訂正処理を開始する。

【0025】図3は、誤り訂正ブロック9(または10)の構成を示している。

【0026】誤り訂正処理ブロックは、シフトレジスタ14、シンドロームレジスタ15、閾値設定回路16、多数決判別回路17、エラー訂正OK判別回路18および排他的論理和回路(EXOR回路)19、20を備えている。

【0027】誤り訂正に係る184ビットのTMCCデータは、シフトレジスタ14およびシンドロームレジスタ15に入力される。これらのTMCCデータの入力が終了すると、シフトレジスタ14およびシンドローム

10

20

30

40

50

ムレジスタ15の内容を1ビットずつシフトする。そして、多数決判別回路17は、閾値設定回路16によって設定された閾値に対して、シンドロームレジスタ15のデータから得られるシンドローム情報を基に、エラーの有無を判別する。多数決判別回路17は、エラーが検出された場合は“1”を、エラーが検出されない場合は“0”を出力する。

【0028】差集合巡回符号はビット誤り訂正符号であるため、多数決判別回路17から排他的論理和回路19に与えられるデータが“1”の場合には、シフトレジスタ14の出力が反転され、データが訂正される。これを184ビット繰り返し、全てのTMCCデータに対する誤り訂正を行う。

【0029】1回目の訂正処理が終了すると、閾値設定回路16の設定値を変化させ、再び同様な誤り訂正処理を行う。このように閾値を変更して複数回誤り訂正処理を行うことにより訂正能力を向上させている。一般的には、6回程度、閾値を変化させて訂正を行う。このようにして誤り訂正が終了すると、各誤り訂正ブロック9、10から誤り訂正後のデータが出力される。この誤り訂正ブロック9、10では、誤り訂正後のデータとともにシンドロームレジスタ15の結果に基づいて得られる、誤り訂正が正常に終了したか否かを示す誤り訂正フラグOK/NGがエラー訂正OK判別回路18から出力される。

【0030】なお、誤り訂正制御回路13は、誤り訂正回路の各部の制御を行う。一例として、閾値設定回路16の閾値の設定を制御する。

【0031】誤り訂正処理を終えた第1および第2の誤り訂正ブロック9、10から出力される誤り訂正後のデータは、出力データ選択回路12に入力される。出力データ選択回路12は、出力データ制御回路11からの制御信号に基づいて、両誤り訂正ブロック9、10から出力される誤り訂正後のデータのうちの一方を選択して出力する。

【0032】出力データ制御回路11は、各誤り訂正ブロック9、10からの誤り訂正フラグOK/NGと、多数決判別回路7からのTMCCデータとに基づいて、出力データ選択回路12に対する選択制御を行う。

【0033】つまり、出力データ制御回路11は、誤り訂正に関するTMCCデータのうちの最終ビット（184ビット目）のTMCCデータが入力されるまで停止状態となっている。そして、出力データ制御回路11に誤り訂正に関するデータの184ビット目のTMCCデータが入力されると、出力データ選択回路12を制御するための選択制御動作を実行する。

【0034】出力データ制御回路11による選択制御の内容は、次の通りである。

【0035】① 誤り訂正に関するデータの184ビット目のデータが“1”であり、かつ第1の誤り訂正ブ

ロック9による誤り訂正が正常に行われている場合（誤り訂正ブロック9から出力される誤り訂正フラグがOKである場合）には、第1の誤り訂正ブロック9の出力を選択するように、出力データ選択回路12を制御する。

【0036】② 誤り訂正に関するデータの184ビット目のデータが“0”であり、かつ第2の誤り訂正ブロック10による誤り訂正が正常に行われている場合（誤り訂正ブロック10から出力される誤り訂正フラグがOKである場合）には、第2の誤り訂正ブロック10の出力を選択するように、出力データ選択回路12を制御する。

【0037】③ 誤り訂正に関するデータの184ビット目のデータが“1”であり、かつ第1の誤り訂正ブロック9による誤り訂正が正常に行われておらず、第2の誤り訂正ブロック10による誤り訂正が正常に行われている場合には、第2の誤り訂正ブロック10の出力を選択するように、出力データ選択回路12を制御する。

【0038】④ 誤り訂正に関するデータの184ビット目のデータが“0”であり、かつ第2の誤り訂正ブロック10による誤り訂正が正常に行われておらず、第1の誤り訂正ブロック9による誤り訂正が正常に行われている場合には、第1の誤り訂正ブロック9の出力を選択するように、出力データ選択回路12を制御する。

【0039】⑤ 誤り訂正に関するデータの184ビット目のデータが“1”であり、かつ両方の誤り訂正ブロック9、10による誤り訂正が正常に行われていない場合には、第1の誤り訂正ブロック9の出力を選択するように、出力データ選択回路12を制御する。

【0040】⑥ 誤り訂正に関するデータの184ビット目のデータが“0”であり、かつ両方の誤り訂正ブロック9、10による誤り訂正が正常に行われていない場合には、第2の誤り訂正ブロック10の出力を選択するように、出力データ選択回路12を制御する。

【0041】以上のような選択制御を行うことにより、少しでも誤りの少ないデータを、出力データ選択回路12から出力することが可能になる。

【0042】上記従来の誤り訂正回路では、図4に示すように、誤り訂正に関するデータの183ビット目（203シンボル目）のTMCCデータが決定された時点の直後に、誤り訂正ブロック9、10による誤り訂正処理が開始される。訂正回数は6回である。そして、誤り訂正に関するデータの最終ビットである184ビット目（204シンボル目）のTMCCデータが決定される時点の前に、誤り訂正ブロック9、10による誤り訂正処理が終了している。

【0043】このように、上記従来の誤り訂正回路では、高速にTMCCの誤り訂正が可能である。しかし、携帯型受信機では通常、電源が電池であるため、省電力化が望まれる。

【0044】そこで、本発明の実施の形態では、誤り訂

正処理が複数回行われていることに着目し、誤り訂正の後、全ての誤りが訂正された後は以後の誤り訂正を停止することにより、省電力化を図るようにしている。

【0045】〔2〕本発明の実施の形態の説明

【0046】図5は、本発明の実施の形態による誤り訂正回路の構成を示している。図5において、図2と同じものには同じ符号を付してある。

【0047】図5の誤り訂正回路は、図2の従来の誤り訂正回路に、各誤り訂正ブロック9、10に用いられるクロックを制御するためのクロック制御回路100を付

10 加したものである。
【0048】図6は、誤り訂正ブロック9とクロック制御回路100の詳細な構成を示している。図6において、図3と同じものには同じ符号を付してその説明を省略する。

【0049】クロック制御回路100は、第1の誤り訂正ブロック9に供給するクロックと、第2の誤り訂正ブロック10に供給するクロックとを制御するが、その制御方法は両誤り訂正ブロック9、10とも同様であるので、ここでは誤り訂正ブロック9に供給するクロックの

20 制御についてのみ説明する。
【0050】図7は、図2の従来の誤り訂正回路における各部の信号と、図5の誤り訂正回路における各部の信号を示している。

【0051】クロック制御回路100は、イネーブル制御回路101と、シフトレジスタ用クロック制御回路102と、訂正用クロック制御回路103とを備えている。

【0052】イネーブル制御回路101は、多数決判別回路7（図5参照）からのエラー訂正開始信号と誤り訂正ブロック9内のエラー訂正OK判別回路18からのエラー訂正フラグOK/NGとに基づいて、クロックイネーブル信号を出力する。イネーブル制御回路101の出力（イネーブル信号）は、図7（d）の本発明方式タイ

30 ミングに示すようにエラー訂正開始信号によって "High" になり、誤り訂正ブロック9内のエラー訂正OK判別回路18からのエラー訂正フラグOK/NGが "Low" すなわちエラーが完全に訂正された状態になると、 "Low" になる。ここでは、2回訂正が行われた時点で、誤りが全て訂正できたものと仮定しているため、2回訂正が行われた時点で、エラー訂正フラグOK/NGが "Low" となっている。
【0053】シフトレジスタ用クロック制御回路102

ロック制御回路102は、図7（d）に示すように、誤り訂正期間（イネーブル信号が "High" の期間）と誤り訂正後のデータを出力する期間とにおいてのみ、シフトレジスタ用クロックを出力する。

【0054】訂正用クロック制御回路103には、イネーブル制御回路101からのイネーブル信号と、クロックとが入力している。訂正用クロック制御回路103は、イネーブル信号に基づいて、誤り訂正ブロック9内のシンドロームレジスタ15、閾値設定回路16、多数決判別回路17およびエラー訂正OK判別回路18に供給されるクロック（訂正用クロック）を制御する。つまり、訂正用クロック制御回路103は、図7（d）に示すように、訂正用クロックを、誤り訂正期間（イネーブル信号が "High" の期間）のみ出力する。

【0055】従来の誤り訂正回路では、予め定められた誤り訂正回数である6回よりも少ない回数による誤り訂正処理によって誤りが全て訂正されたとしても、予め定められた誤り訂正回数分の誤り訂正処理が行われるため、図7（c）の従来方式タイミングに示すように、シフトレジスタ用クロックおよび訂正クロックは6回分の誤り訂正期間の間必ず出力されている。

【0056】これに対して、上記実施の形態による誤り訂正回路では、2回目の誤り訂正処理によって誤りが全て訂正された場合には、シフトレジスタ用クロックおよび訂正クロックの供給が停止され、誤り訂正処理動作が停止されるため、回路の省電力化が可能になる。

【0057】上記実施の形態では、誤り訂正動作を停止させるために、各誤り訂正ブロック9、10に用いられるクロックを制御しているが、誤り訂正動作を停止させるために、誤り訂正ブロック9、10内のシフトレジスタをクロックイネーブル付きシフトレジスタで構成し、シフトレジスタをイネーブル制御するようにしてもよい。

【0058】

【発明の効果】この発明によれば、消費電力の低減化が図れる誤り訂正回路が得られる。

【図面の簡単な説明】

【図1】地上デジタルテレビジョン放送で受信された信号に対するFFT後のデータを示す模式図である。

【図2】地上デジタル放送のTMCC信号に対する従来の誤り訂正回路の構成を示すブロック図である。

【図3】図2の誤り訂正ブロック9（または10）の構成を示すブロック図である。

【図4】図2の従来例の誤り訂正タイミングを示すタイミングチャートである。

【図5】本発明の実施の形態による誤り訂正回路の構成を示すブロック図である。

【図6】図5の誤り訂正ブロック9とクロック制御回路100の構成を示すブロック図である。

【図7】図5の誤り訂正回路の誤り訂正タイミングを示

すタイミングチャートである。

【符号の説明】

7 多数決判別回路

8 訂正前データ入力処理回路

9、10 誤り訂正ブロック

11 出力データ制御回路

* 12 出力データ選択回路

13 誤り訂正制御回路

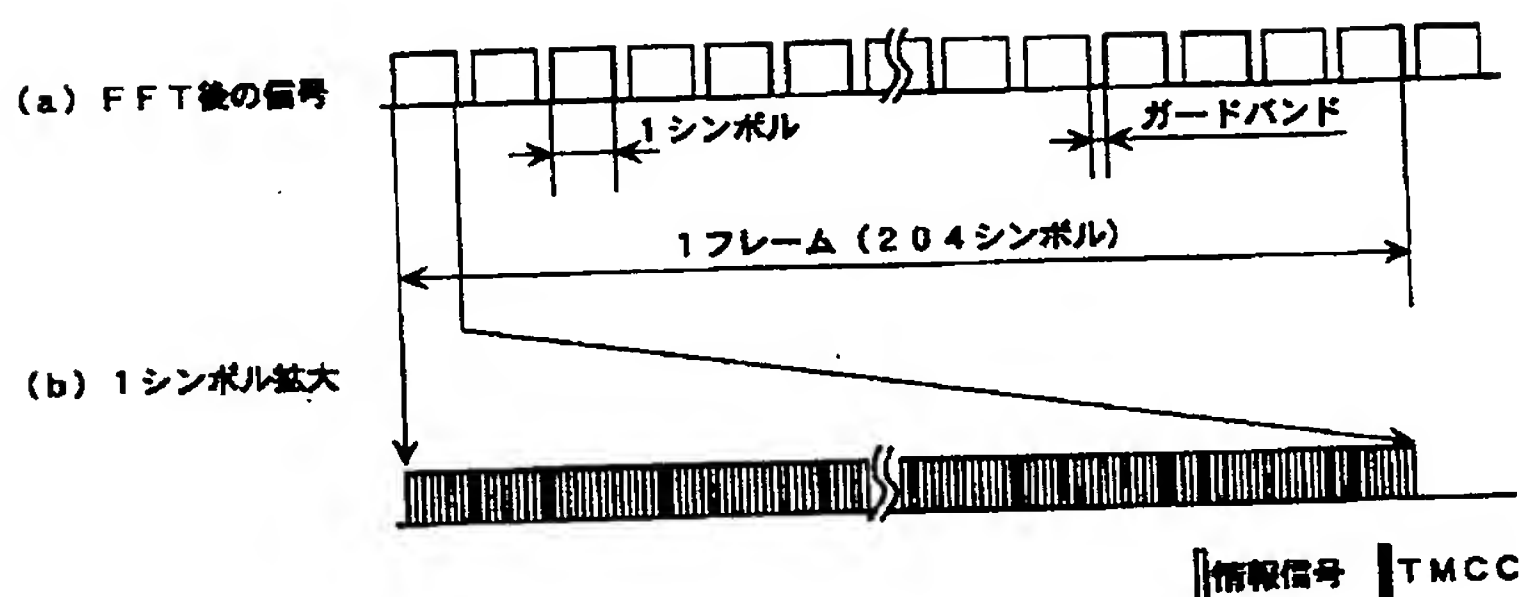
100 クロック制御回路

101 イネーブル制御回路

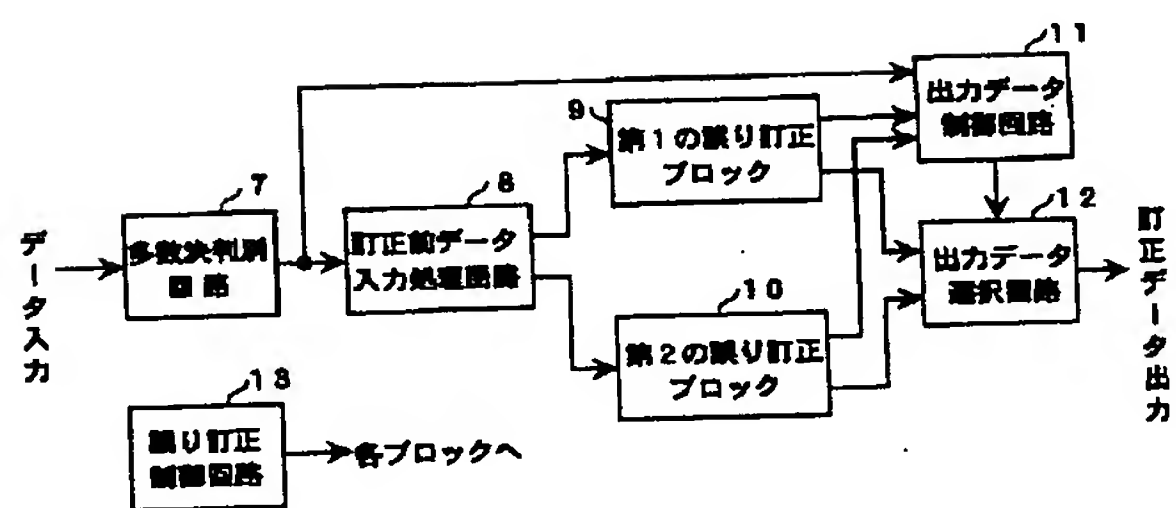
102 シフトレジスタ用クロック制御回路

* 103 訂正用クロック制御回路

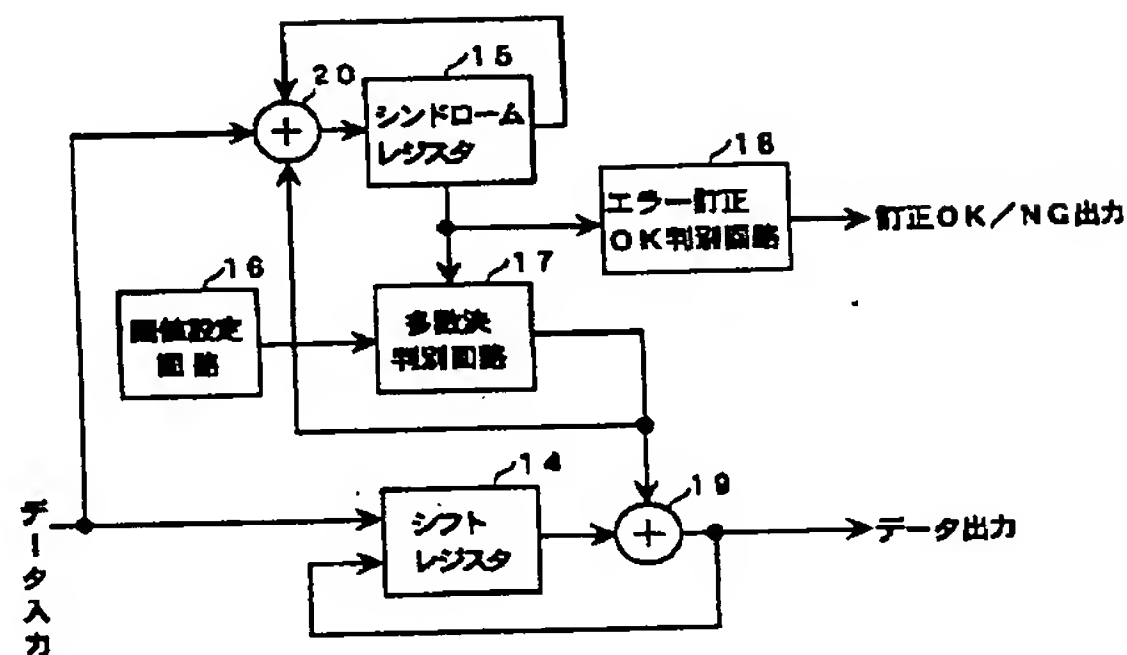
【図1】



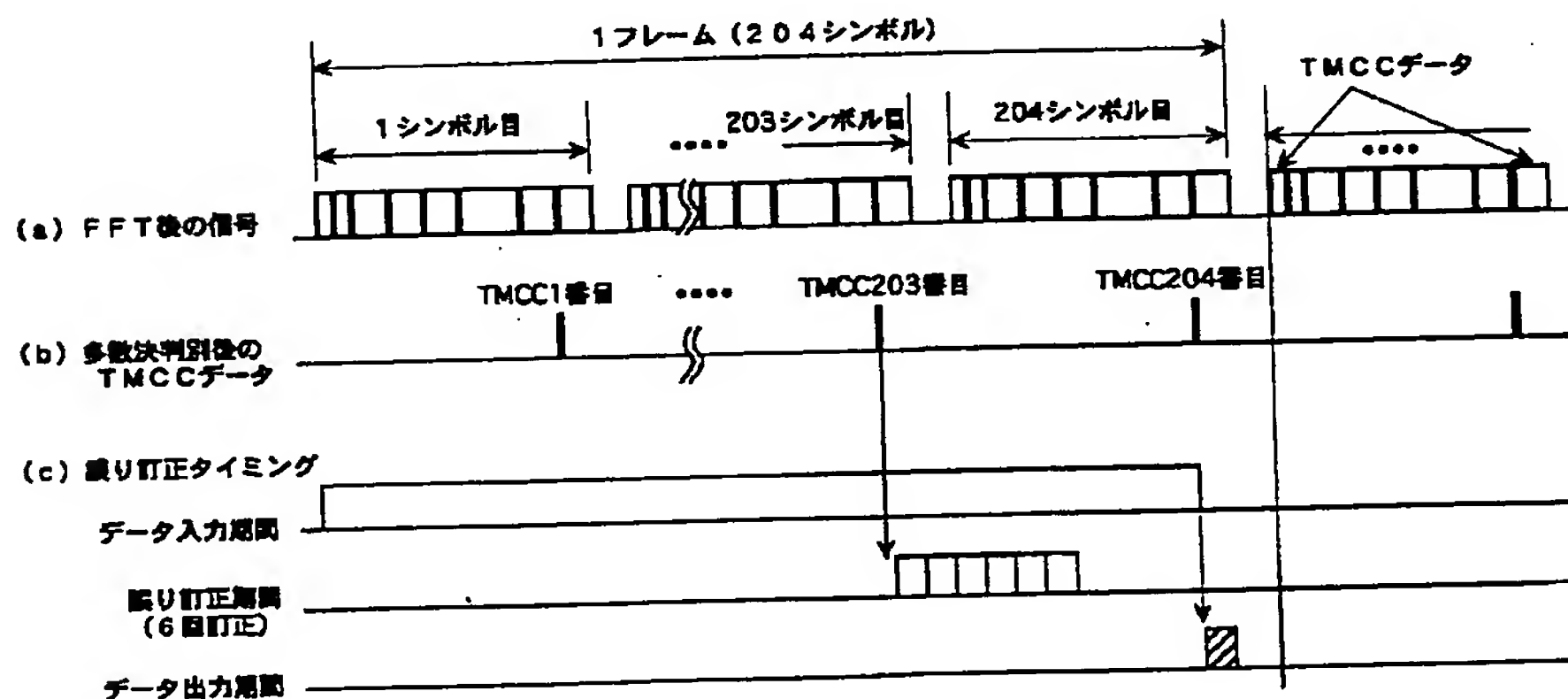
【図2】



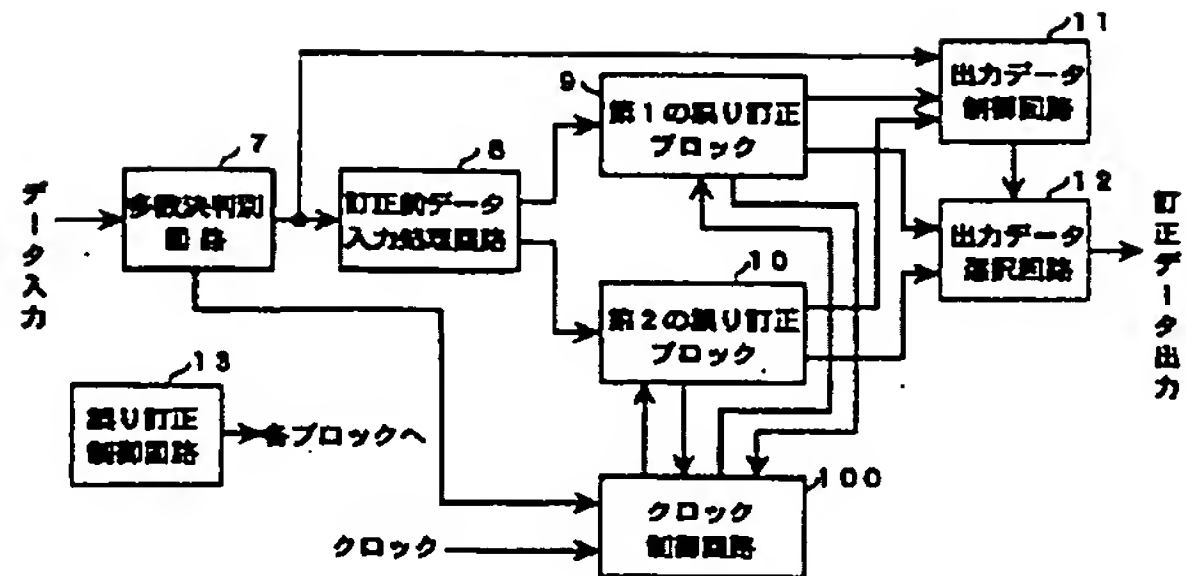
【図3】



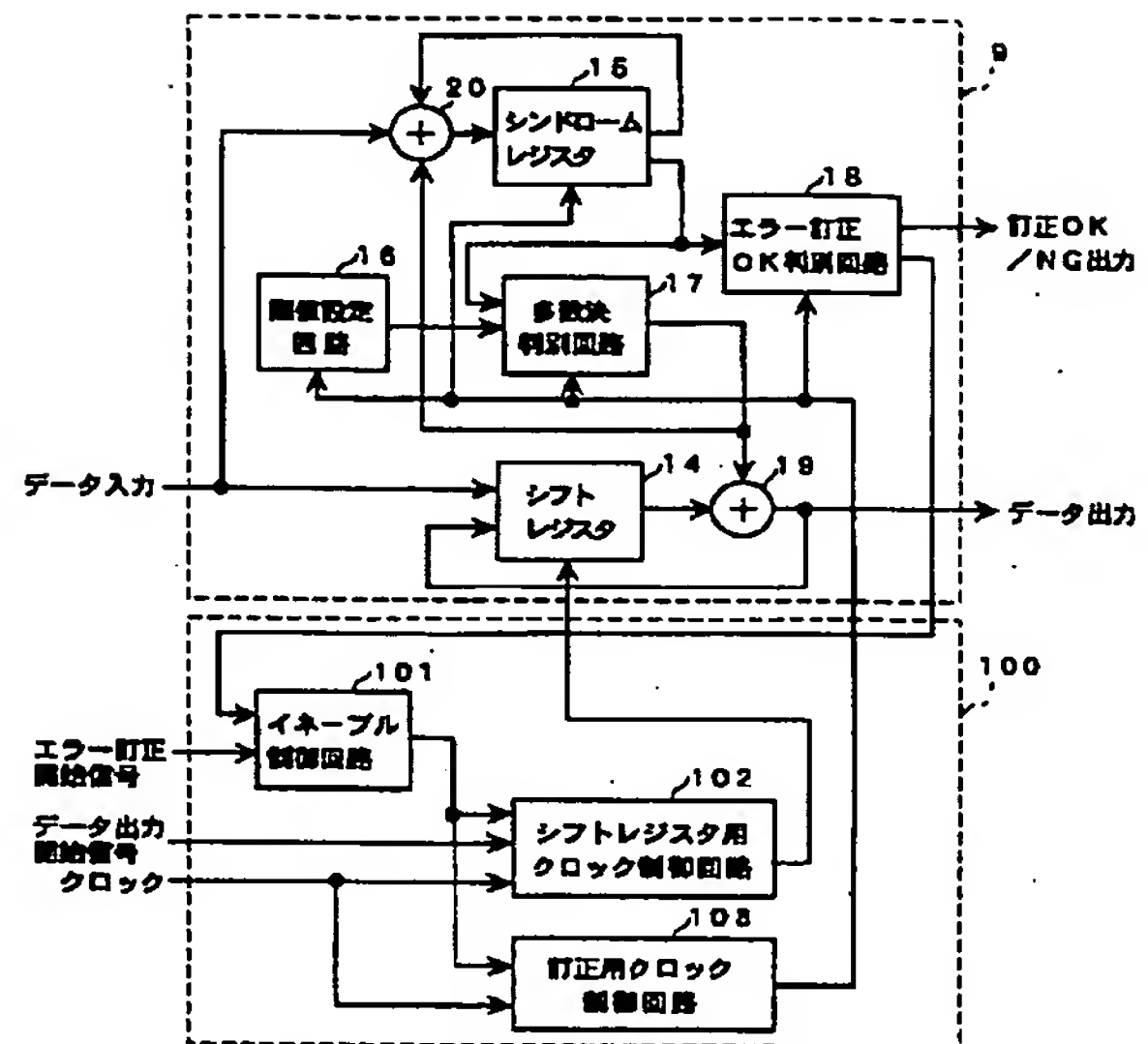
【図4】



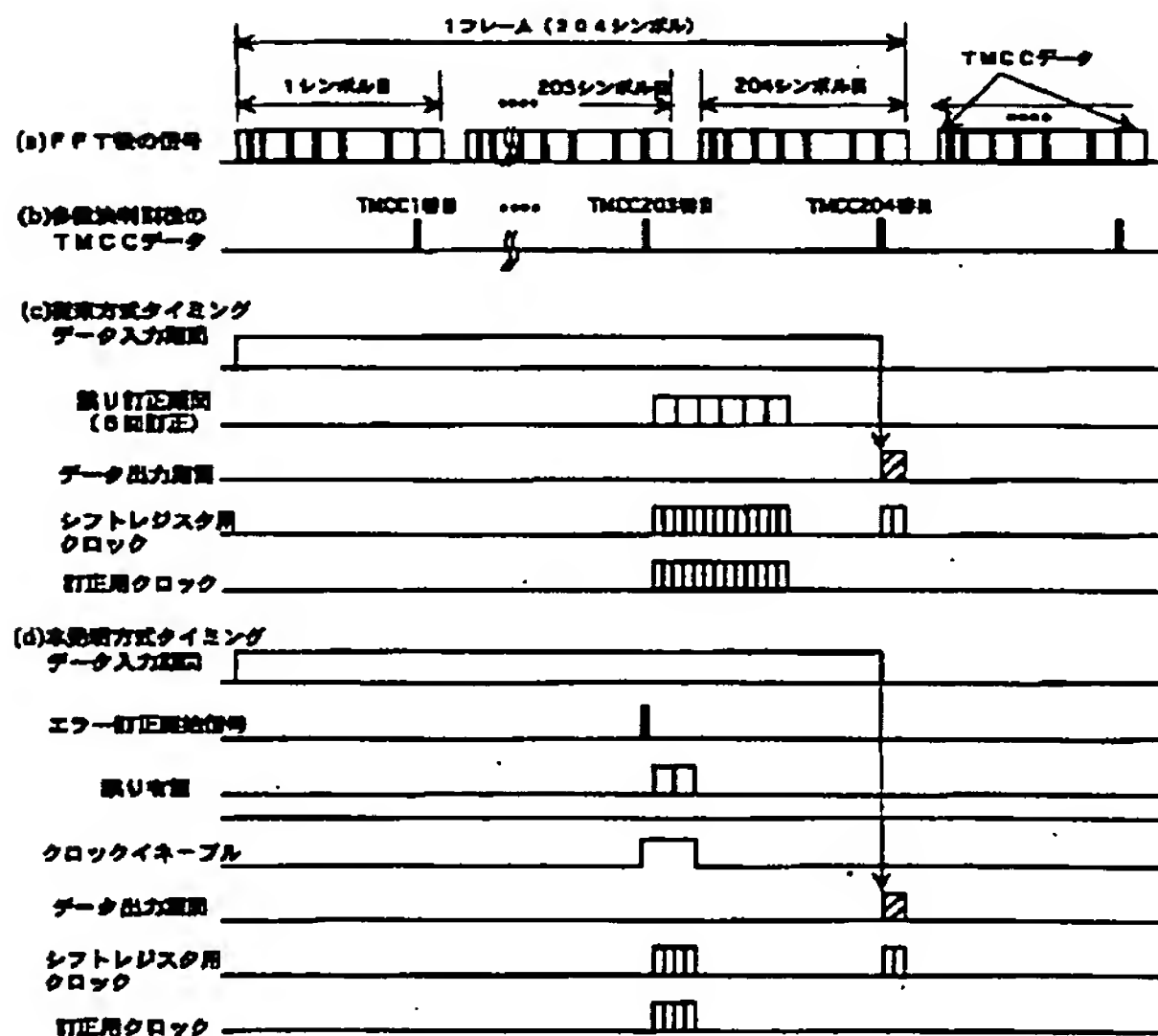
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 鈴木 勢治
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 玉井 精治
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(8)

特開 2 0 0 3 - 2 6 4 5 3 1

F ターム(参考) 5J065 AA01 AB03 AC02 AD04 AE02
AF03 AG02 AH02 AH05 AH09
AH11 AH15
5K014 AA01 BA06 EA03 EA08